

## ⑫ 公開特許公報(A)

昭63-271298

⑬ Int. Cl.<sup>4</sup>

識別記号

庁内整理番号

⑭ 公開 昭和63年(1988)11月9日

G 09 G 3/36  
G 02 F 1/133

330

8621-5C  
Z-8708-2H

審査請求 未請求 発明の数 1 (全12頁)

⑮ 発明の名称 表示駆動回路

⑯ 特 願 昭62-104466

⑰ 出 願 昭62(1987)4月30日

⑱ 発 明 者 山 崎 誠 一 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社内  
 ⑲ 発 明 者 矢 倉 博 久 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社内  
 ⑳ 出 願 人 沖電気工業株式会社 東京都港区虎ノ門1丁目7番12号  
 ㉑ 代 理 人 弁理士 鈴木 敏明

## 明 細 容

## 1. 発明の名称

表示駆動回路

## 2. 特許請求の範囲

(1) シフトレジスタと、サンプルホールド回路と、バッファ回路を有し、入力するアナログ電圧を前記シフトレジスタの出力により前記サンプルホールド回路で順次サンプリングして前記バッファ回路でホールドすることにより表示体を駆動させる表示駆動回路において、

前記シフトレジスタは前記表示体の一方向の駆動に必要とされるビット数よりも小さいビット数に分割されたものを縦続接続して構成するとともに、該分割されたシフトレジスタの少なくとも1つに該シフトレジスタのシフト動作が終了したことを検出する終了信号発生回路と、該終了信号発生回路からの終了信号により該シフトレジスタへのクロックパルスの供給を停止させるクロック制御回路とを有する表示駆動回路。

(2) 特許請求の範囲第1項において、前記クロ

ック制御回路は前記分割されたシフトレジスタでシフトされるべき信号が入力するのを検知して該シフトレジスタへのクロックパルスの供給を開始する機枠成した表示駆動回路。

(3) 特許請求の範囲第1項において、前記終了信号発生回路及びクロック制御回路は前記分割されたシフトレジスタの全てに設けられている表示駆動回路。

(4) 特許請求の範囲第1項において、前記分割されたシフトレジスタに供給されるクロックパルスは3相以上である制御回路。

## 3. 発明の詳細な説明

(産業上の利用分野)

この発明は液晶ディスプレイ等の駆動回路に関するものである。

(従来の技術)

近年、液晶ディスプレイ等の板状のディスプレイの大面积化が可能となり、薄型で低消費電力であることからテレビ、パソコン、ワープロ等のディスプレイとして用いられる様になってきた。こ

れにより、これら機器のバッテリー等の蓄電源を用いてのポータブル化も可能となり、駆動回路等も低消費電力化が要求されている。

例として液晶テレビに用いられている従来の液晶駆動回路を第2図に示す。

第2図において、21はシリアルデータ入力端子であり、 $n$ ビットシフトレジスタ22のデータ入力端子に接続されており、クロックパルス入力端子23が前記 $n$ ビットシフトレジスタ22のクロックパルス入力端子に接続されている。 $n$ ビットシフトレジスタはクロックパルス $\phi$ に反応してシリアル入力データ $D_{IN}$ を順次シフトする。

$n$ ビットレジスタ22の各ビット出力は、 $n$ 個のサンプルホールド回路のそれぞれの制御入力端子に接続されている。すなわち、1ビット目出力 $Q_1$ は第1のサンプルホールド回路31の制御入力端子に、2ビット目出力 $Q_2$ は第2のサンプルホールド回路32の制御入力端子に、3ビット目出力 $Q_3$ は第3のサンプルホールド回路33の制御入力端子に、以下同様にして $n$ ビット目出力

個のパッファ41~44のそれぞれの入力端子に接続されており、 $n$ 個のパッファの出力は、出力端子 $O_1 \sim O_n$ に接続されている。45は出力制御信号入力端子であり、出力制御信号 $O_E$ が $n$ 個のパッファの制御入力端子に共通に供給される。 $n$ 個のパッファ41~44は制御入力端子に“H”が与えられるとオンして、入力端子に与えられる電圧を出力し、制御入力端子に“L”が与えられるとオフすると動作する。

次に、第3図に基づいて第2図の動作を説明する。クロックパルス $\phi$ は、液晶TVの画素数によって決まる周波数のクロックパルスであり例えば4MHz程度の周波数をもつ。

シリアル入力データ $D_{IN}$ はクロックパルス $\phi$ の1周期分のパルス幅をもつ信号である。 $n$ ビットシフトレジスタ22は、クロックパルス $\phi$ に反応してシリアル入力データ $D_{IN}$ をシフトするので、 $Q_1, Q_2, Q_3 \sim Q_n$ は、 $\phi$ の1周期分のパルス幅をもち、おのおの $\phi$ の1周期分ずつ位相のずれた信号となる。従って、35R, 35Gおよび

$Q_n$ は第 $n$ のサンプルホールド回路34の制御入力端子に接続されている。これら $n$ 個のサンプルホールド回路は制御入力端子に“H”レベル(以下単に“H”と呼ぶ)が与えられたとき、アナログ入力電圧をサンプルして蓄積し、制御入力端子に“L”レベル(以下単に“L”と呼ぶ)が与えられたとき、蓄積された電圧を保持(ホールド)すると動作する。

35, 36, 37は、アナログ電圧入力端子であり、R(赤)、G(緑)、B(青)に対応するカラーのアナログ電圧が入力される。35Rは、第1, 第4, 第7……第( $i/3 + 1$ )のサンプルホールド回路のアナログ電圧入力端子に接続され、35Gは第2, 第5, 第8……第( $i/3 + 2$ )のサンプルホールド回路のアナログ電圧入力端子に接続され、35Bは第3, 第6, 第9……第( $i/3 + 3$ )のサンプルホールド回路のアナログ電圧入力端子に接続されている。ここに $i$ は0を含む整数である。

前記 $n$ 個のサンプルホールド回路の出力は、 $n$

35Bに与えられる時々刻々変化するアナログ入力電圧(例として35Rを示す)が $n$ 個のサンプルホールド回路に順番にサンプルされ蓄積される。1水平走査分のアナログ電圧が蓄積されると $O_E$ を“H”にし、蓄積・保持された、各画素ごとのアナログ電圧が $O_1 \sim O_n$ に出力される。

この出力 $O_1 \sim O_n$ により液晶ディスプレイに表示を行う。

(発明が解決しようとする問題点)

通常のテレビでは水平画素数、すなわち $n$ が200~1000であるがこれをテレビの走査時間50 $\mu$ sで行なうと数MHzと高速でレジスタのシフト動作を行なわなければならない。特に、水平画素数が増加すると、更にレジスタのシフト動作は速くする必要がある。

この様に高速でシフトレジスタを動作させると、その消費電流は膨大になる。

(問題点を解決するための手段)

この発明は以上の様な問題点を解決するために、 $n$ ビットのシフトレジスタを $m$ 分割し、各分割さ

れたレジスタのシフトが終了したことを検知してクロックの供給を止める様に構成したものである。

#### (作用)

この発明は以上の様にシフト動作が終了したレジスタへのクロックパルスの供給を止めるので、シフトレジスタのシフト動作を停止させることができるのである。

#### (実施例)

第1図はこの発明の概念図である。

図において、表示駆動回路は、1水平の画素数 $n$ を $m$ 分割して $m$ 画素分ずつ( $m$ は実用的には60~200)で構成した駆動回路部1a~1mと、この駆動回路1中のシフトレジスタがシリアルデータ $D_{IN}$ のシフト動作を完了したことを検知し終了信号を発生させる終了信号発生回路2a~2mと、シリアルデータ $D_{IN}$ と終了信号発生回路の終了信号を入力することによりクロックパルス $\phi$ のシフトレジスタ4a~4mへの入力を制御するクロック制御回路3a~3mを有し、各駆動回路部1、終了信号発生回路2、クロック制御回路

ともにシフト動作を終了するのである。そのため、 $m$ ブロックに分割されたシフトレジスタは、そのブロックでシリアルデータのシフトをする必要がある時のみ動作し、他は動作を停止することができ、シフトレジスタで消費する電力を $1/m$ に減少させることができるのである。

以下この発明の実施例を1つのブロックを代表して詳細に説明する。

第4図はこの発明の第1の実施例の回路図であって、シリアルデータ入力端子6は $m$ ビットシフトレジスタ4のシリアルデータ入力端子に接続されるとともに、クロック制御回路3の中のR-Sフリップフロップ7のセット入力端子に接続されている。

クロックパルス $\phi$ 入力端子8は前記クロック制御回路3の中の2入力ANDゲート回路9の第1の入力端子に接続されるとともに終了信号発生回路2の中のDフリップフロップ10のクロック入力端子に接続されている。前記R-Sフリップフロップ7の出力信号はクロック制御信号11であり、

3からなるブロックを $m$ ブロック縦続接続して構成される。

次に動作について説明する。

まずシリアルデータ $D_{IN}$ がシフトレジスタ4aに入力するとともにクロック制御回路3aに入力し、これによりクロック制御回路3aは出力信号 $\phi_c$ をシフトレジスタ4aに出力しシフト動作が開始し、出力 $Q_{a1} \sim Q_{am}$ を出力する。この最終段でシフトレジスタ4aは $Q_m$ を次のブロックのシフトレジスタ4bの入力に出力する。この $Q_m$ 信号は同時に終了信号発生回路2aにシリアルデータ $D_{IN}$ として入力し終了信号5aを発生させる。終了信号5aはクロック制御回路3aに入力し出力信号 $\phi_c$ の供給を停止させシフトレジスタ4aの動作を停止させる。

次のブロック以降は、 $Q_m$ をシリアルデータ $D_{IN}$ として入力することにより同様に動作する。

この様に、表示駆動回路は所定のブロックがシリアルデータ $D_{IN}$ を入力するとともにシフト動作を開始し、シリアルデータのシフトが終了すると

前記2入力ANDゲート回路9の第2の入力端子に接続されている。

2入力ANDゲート回路9の出力信号は $\phi_c$ であり前記 $m$ ビットシフトレジスタ4のクロックパルス入力端子に供給される。

12R, 12Gおよび12Bは、R(赤)、G(緑)、B(青)などカラー信号に対応するアナログ電圧入力端子であって、 $m$ 個のサンプルホールド回路13のアナログ電圧入力端子に接続されている。

12R, 12G, 12Bは $m$ 個のサンプルホールド回路に分配されるがその分配の仕方はR, G, Bの画素配置に依存する。通常の場合、12Rは第1, 第4, 第7……番目のサンプルホールド回路に接続され、12Gは第2, 第5, 第8……番目のサンプルホールド回路に接続され、12Bは第3, 第6, 第9……番目のサンプルホールド回路に接続される。

$m$ ビットシフトレジスタ4の各ビット出力 $Q_1 \sim Q_m$ は前記 $m$ 個のサンプルホールド回路の各制御

入力端子に接続されている。従って、12R, 12G, 12Bが前記したようにm個のサンプルホールド回路に分配されていれば、 $Q_1 = "H"$ のとき12Rの電圧が第1のサンプルホールド回路にサンプルされ、 $Q_1 = "L"$ でホールドし、 $Q_2 = "H"$ のとき12Gの電圧が第2のサンプルホールド回路にサンプルされ $Q_2 = "L"$ でホールドし、 $Q_3 = "H"$ のとき12Bの電圧が第3のサンプルホールド回路にサンプルされ $Q_3 = "L"$ でホールドし、以下同様にして、 $Q_m = "H"$ のとき12Bの電圧が第mのサンプルホールド回路にサンプルされ、 $Q_m = "L"$ でホールドすると共に動作する。

m個のサンプルホールド回路の各出力 $S_1 \sim S_m$ はバッファ14の各入力端子に供給され、バッファ14には出力制御入力端子15が接続されている。このためバッファ14は15の信号、すなわち出力制御信号OEが"H"のときに限り、 $S_1 \sim S_m$ の電圧を $O_1 \sim O_m$ に出力し、出力制御信号OEが"L"のときにはオフしてしまう。

$\phi$ の各ビット出力 $Q_1 \sim Q_m$ には、 $\phi$ の1周期分のパルス幅をもち、順次位相のずれたパルスが得られる。

これにより、12R, 12Gおよび12Bに印加された時々刻々変化するアナログ入力電圧が順次サンプリングされてm個のサンプルホールド回路に蓄積される。

$Q_1 \sim Q_m$ が順次"H"になり、最後に $Q_m$ が"L"に戻ってしまうと次に終了信号5が"H"になる。このため、クロック制御回路3の中のR-Sフリップフロップ7が、リセットされてクロック制御信号11が"L"になり、 $\phi$ が2入力ANDゲート回路9を通過するのを阻止してしまう。従って、mビットシフトレジスタ4はシフト動作を停止し、 $Q_1 \sim Q_m$ はすべて"L"状態を保つ。

第4図に示したm画素分の表示駆動回路を1個用いてn画素分の表示駆動を行なわせるには、前段の $D_{OUT}$ を次段の $D_{IN}$ に供給するように、縦続接続し、かつ、OE, R, G, B,  $\phi_1$ ,  $\phi_2$ ,  $\phi_3$ は共通にする。

前記 $Q_m$ はシリアルデータ出力端子16に接続されるとともに終了信号発生回路2の中のDフリップフロップ10のD入力端子に接続されている。Dフリップフロップ10の出力信号、すなわち、終了信号5はクロック制御回路の中のR-Sフリップフロップ7のリセット入力端子に供給されている。

次に第4図の動作を第5図のタイミング図に基づき説明する。

クロックパルス入力端子8に加えられるクロックパルス $\phi$ の1周期分のパルス幅をもつシリアルデータ入力 $D_{IN}$ が1に供給されるとクロック制御回路3の中のR-Sフリップフロップ7がセットされクロック制御信号11が"H"になる。

このため、2入力ANDゲート回路9はクロックパルス入力端子8に加えられるクロックパルス $\phi$ を導通させ $\phi_c$ を生成しmビットシフトレジスタ4に伝送する。

mビットシフトレジスタ4は $\phi_c$ に応動して $D_{IN}$ をシフトし、この結果、mビットシフトレジスタ

このように接続すると第1ブロック目のm画素表示駆動回路の $Q_m$ が"H"に、つまり $D_{OUT}$ が"H"になると、シフト動作は2ブロック目のm画素表示駆動回路に引継がれ、1段目のm画素表示駆動回路は、 $Q_m$ が"L"になるとともにシフト動作を停止する。

以下同様にして( $L-1$ )ブロック目のm画素表示駆動回路がシフト動作を停止する時、Lブロック目のm画素表示駆動回路がシフト動作を引継いでいる。

かくして、合計nビットのダイナミックシフトレジスタのうち、クロックパルスが供給され、シフト動作を行なっているのは常にmビット分に過ぎず、シフト動作に要する消費電流は $1/L$ になる。

次に、この発明の第2の実施例を説明する。

第6図において、6はシリアルデータ入力端子であって、mビットダイナミックシフトレジスタ4のシリアルデータ入力端子に接続されるとともに、クロック制御回路3の中の2入力ANDゲート回路61の第1の入力端子に接続されている。

3相クロックパルス $\phi_1$ 、 $\phi_2$ および $\phi_3$ がそれぞれ入力されるクロックパルス8a、8bおよび8cは、前記クロック制御回路4の中の第2、第3および第4の2入力ANDゲート回路9a、9bおよび9cのそれぞれの第1の入力端子に接続されている。

$\phi_1$ 、 $\phi_2$ 、 $\phi_3$ は同じ周波数を持ち、互いに $1/3$ 周期分ずつ位相が異なるクロックパルスである。 $\phi_1$ はさらに前記クロック制御回路3の中の前記2入力ANDゲート回路61の第2の入力端子に供給され、かつ、終了検出回路2の中の1ビットレジスタ62のクロックパルス入力端子にも供給される。

前記クロック制御回路3の中の前記2入力ANDゲート回路61の出力端子はR-Sフリップフロップ7のセット入力端子に接続されており、R-Sフリップフロップ7の出力信号である、クロック制御信号11は、前記第2、第3および第4の2入力ANDゲート回路9a、9bおよび9cのそれぞれの第2の入力端子に共通に供給される。

ド回路の各制御入力端子に接続されている。従って、12R、12G、12Bが前記したようにm個のサンプルホールド回路に分配されていれば、 $Q_1 = "H"$ のとき、12Rの電圧が第1のサンプルホールド回路にサンプリングされて、 $Q_1 = "L"$ でホールドし、 $Q_2 = "H"$ のとき、12Gの電圧が第2のサンプルホールド回路にサンプリングされて、 $Q_2 = "L"$ でホールドし、 $Q_3 = "H"$ のとき、12Bの電圧が第3のサンプルホールド回路にサンプリングされて $Q_3 = "L"$ でホールドし、以下同様にして $Q_m = "H"$ のとき12Bの電圧が第mのサンプルホールド回路にサンプリングされて、 $Q_m = "L"$ でホールドするとくに動作する。

m個のサンプルホールド回路13の各出力 $S_1 \sim S_m$ はバッファ14の各入力端子に供給され、バッファ14には、出力制御入力端子15が接続されている。このためバッファ14は15の信号、すなわちOEが"H"のときに限って $S_1 \sim S_m$ の電圧を $O_1 \sim O_m$ に出力し、OEが"L"のときにはオフしてしまう。

この第2、第3および第4の2入力ANDゲート回路9a、9bおよび9cの出力信号はそれぞれ $\phi_{c1}$ 、 $\phi_{c2}$ および $\phi_{c3}$ であり、mビットダイナミックシフトレジスタ4のクロックパルス入力端子に供給される。

12R、12Gおよび12BはR(赤)、G(緑)、B(青)などカラー信号に対応するアナログ電圧入力端子であって、m個のサンプルホールド回路13のアナログ電圧入力端子に接続されている。

12R、12G、12Bはm個のサンプルホールド回路13に分配されるが、その分配の仕方はR、G、Bの画素配置に依存する。通常の場合12Rは第1、第4、第7、……番目のサンプルホールド回路に接続され、12Gは第2、第5、第6、……番目のサンプルホールド回路に接続され、12Bは第3、第6、第9、……番目のサンプルホールド回路に接続される。

mビットダイナミックシフトレジスタ4の各ビット出力 $Q_1 \sim Q_m$ は前記m個のサンプルホールド

前記mビットダイナミックシフトレジスタ4のmビット目出力 $Q_m$ はシリアルデータ出力端子16に接続されるとともに、終了検出回路2の中の1ビットレジスタ62の信号入力端子に接続され、また、インバータ64の入力端子に接続されている。1ビットレジスタ21の出力端子と、インバータ64の出力端子は、2入力ANDゲート回路65のそれぞれ、第1および第2の入力端子に接続されている。2入力ANDゲート回路65の出力信号、すなわち、終了信号5は前記クロック制御回路3の中のR-Sフリップフロップ7のリセット入力端子に供給される。

次に、第6図の動作を第7図のタイミング図に基づき説明する。

3相のクロックパルス入力端子8a、8b、8cに加えられるクロックパルス $\phi_1$ 、 $\phi_2$ あるいは $\phi_3$ の1周期分のパルス幅をもつシリアルデータ入力 $D_{in}$ が6に供給されると、 $\phi_1$ のタイミングで、クロック制御回路3の中のR-Sフリップフロップ7がセットされ、クロック制御信号

11が“H”になる。

このため、クロックパルス制御回路3の中の3つの2入力ANDゲート回路9a, 9bおよび9cはクロックパルス入力端子8a, 8bおよび8cに加えられるクロックパルス $\phi_1$ ,  $\phi_2$ および $\phi_3$ を導通させて $\phi_{c1}$ ,  $\phi_{c2}$ および $\phi_{c3}$ としてmビットダイナミックシフトレジスタ4に伝達する。

mビットダイナミックシフトレジスタ4は $\phi_{c1}$ ,  $\phi_{c2}$ ,  $\phi_{c3}$ に反応して $D_{IN}$ をシフトし、この結果mビットダイナミックレジスタ4の各ビット出力 $Q_1 \sim Q_m$ には $\phi_{c1}$ の1周期分のパルス幅をもち、順次位相のずれたパルスが得られる。

これにより、12R, 12Gおよび12Bに印加された時々刻々変化するアナログ入力電圧が順次サンプリングされて、m個のサンプルホールド回路に蓄積される。

$Q_1 \sim Q_m$ が順次“H”になり最後に $Q_m$ が“L”に戻ってしまうと、次に終了信号5が“H”になる。このため、クロック制御回路3の中のR-Sフリップフロップ7がリセットされてクロック制御信号

ける部分回路図を示しており、1出力につきサンプルホールド回路2回路の場合を例示している。

第8図は、第6図におけるm画面分の回路のうち、1画面分の駆動回路を示しており、第8図において、81は、任意のビットのダイナミックシフトレジスタの出力 $Q_i$ である。制御信号分配回路82と切替回路83は、切替信号84が“H”のときサンプルホールド回路13aへのサンプリングを可能にし、同時にサンプルホールド回路13bの出力を表示駆動出力 $O_i$ に伝達し、切替信号84が“L”のとき、サンプルホールド回路13bへのサンプリングを可能にし、同時にサンプルホールド回路13aの出力を表示駆動出力 $O_i$ に伝達する。85はサンプリングされるべきアナログ電圧の入力端子である。

第8図のように各ビットを構成すれば、一方のサンプルホールド回路のホールド電圧を出力しながら他方のサンプルホールド回路にサンプリングを施すことができる。

なお、第1の実施例においては終了信号発生回

11が“L”になり $\phi_1$ ,  $\phi_2$ ,  $\phi_3$ がクロック制御回路3の中の3つの2入力ANDゲート回路9a, 9bおよび9cを通過するのを阻止してしまい、従ってmビットダイナミックシフトレジスタ4はシフト動作を停止し、 $Q_1 \sim Q_m$ はすべて“L”状態を保つ。

この実施例では3相のクロックパルス $\phi_1 \sim \phi_3$ を用いているので第1の実施例に比べ約3倍の高速化が可能となる。

又、この発明は3相に限らず2相以上なら相を増加した分だけ高速となるが、2相の場合は、クロックパルスのわずかな位相のずれにより複数ビット分同時にシフトしてしまう可能性があるため、設計が困難となる。そのため、クロックパルスは3相以上好ましくは3相とすべきである。

また、第1及び第2の実施例では1出力につき、サンプルホールド回路1回路の例について説明したが、1出力につき2個以上のサンプルホールド回路を設け切替えてサンプルし出力する方法もある。第8図は第3の実施例であり、上記方法にお

路2の中のDフリップフロップ10のクロックパルスとして $\phi$ を用いそが、クロック制御回路3の中のR-Sフリップフロップ7がセット優先(セット信号とリセット信号が同時に与えられた時、セットされる)形式のR-Sフリップフロップであれば $\phi_c$ を用いることができる。

また、第1の実施例では、 $D_{OUT}$ として、 $Q_m$ を使用した。後段に信号を伝達するのを確実にするために、 $D_{OUT}$ として $Q_n$ をクロックパルス $\frac{1}{2}$ 周期分ずらした信号を出力することもできる。

また、各実施例ではカラーの液晶表示をさせるためアナログ電圧として3入力を想定したが、白・黒あるいはモノトーンの表示であればアナログ電圧は1入力だけでよい。

また、各実施例では、表示体として液晶素子を使う例について説明したが、プラズマディスプレイや蛍光表示管あるいはEL板などにも適用できる。

又、各実施例では、 $L$ 分割された各ブロックが同ビットずつであったが、異なったビットとなる

様に構成しても良い。これは、1チップのICとして形成する他、異なったパッケージの複数のICを組み合わせて水平画素数を実現する場合に特に有効である。

#### (発明の効果)

以上説明した様にこの発明では、シフトレジスタを $2$ 分割し、そのレジスタのうちシリアルデータをシフトさせているレジスタのみがクロックパルスの供給を受け、他はクロックパルスの供給を受けないので、シフト動作を行っているのは常に1ブロックのみとすることができるので、シフト動作に要する消費電流を $1/2$ にすることができるのである。

#### 4. 図面の簡単な説明

第1図はこの発明の概念図、第2図は従来の液晶駆動回路の回路図、第3図はその動作を説明するためのタイミング図、第4図はこの発明の第1の実施例回路図、第5図はその動作を説明するためのタイミング図、第6図はこの発明の第2の実施例回路図、第7図はその動作を説明するための

タイミング図、第8図はこの発明の第3の実施例回路図。

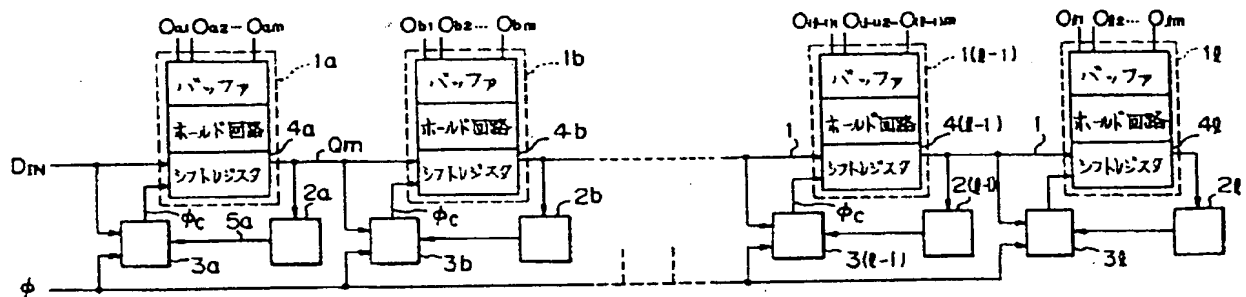
1…駆動回路部、2…終了信号発生回路、3…クロック制御回路、4…シフトレジスタ、5…終了信号、 $\phi$ …クロックパルス、 $\phi_c$ …クロック制御回路の出力信号、 $D_{IN}$ …シリアルデータ。

特許出願人 沖電気工業株式会社

代理人 鈴木 敏 明

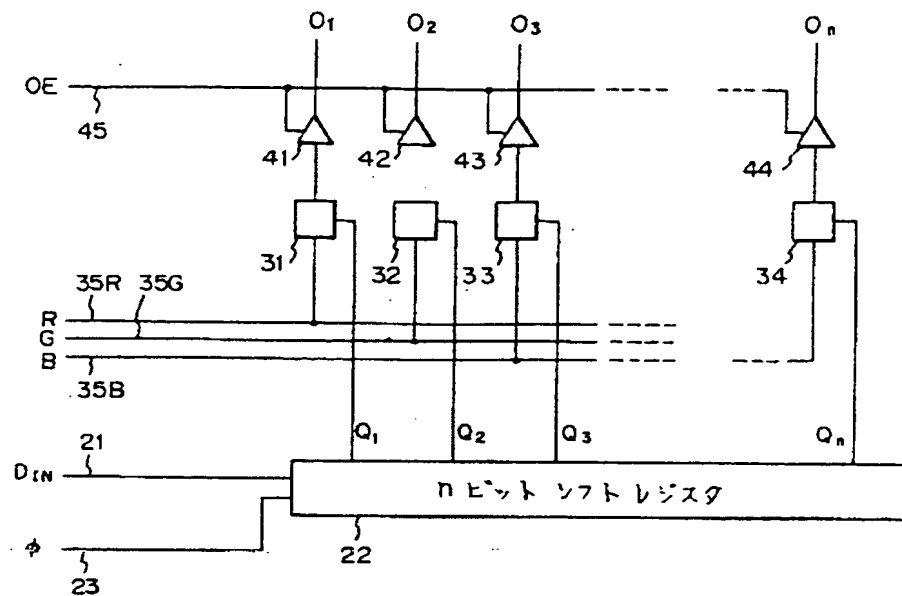


- |                          |              |
|--------------------------|--------------|
| $\phi$ : クロックパルス         | 1 : 駆動回路部    |
| $\phi_c$ : クロック制御回路の出力信号 | 2 : 終了信号発生回路 |
| $D_{IN}$ : シリアルデータ       | 3 : クロック制御回路 |
| $O$ : 出力                 | 4 : シフトレジスタ  |
|                          | 5 : 終了信号     |



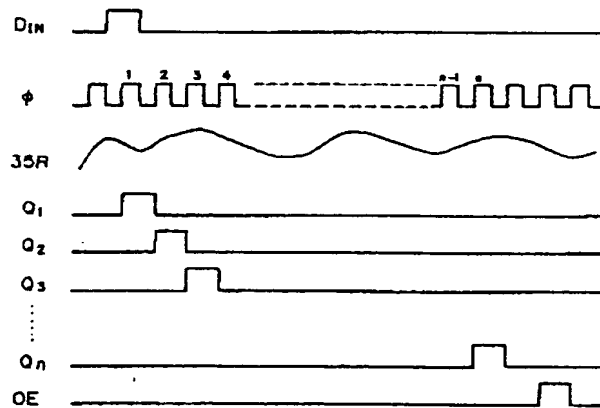
この発明の概念図

第1図



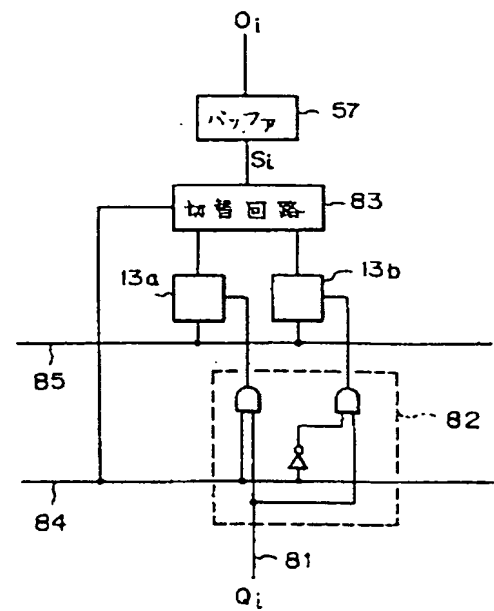
従来・液晶駆動回路

第 2 図



従来回路の動作を説明するためのタイミング図

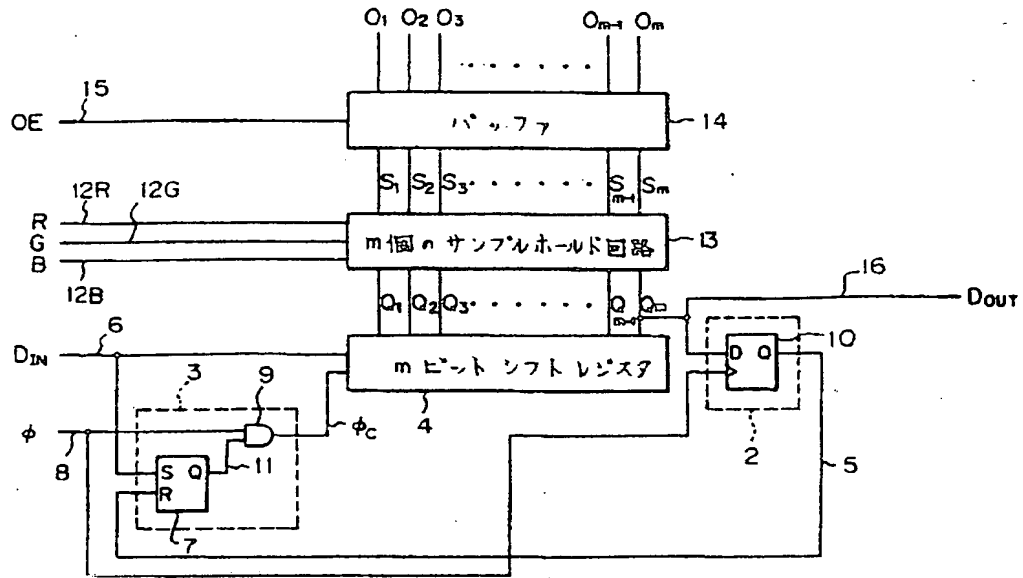
第 3 図



この発明の第 3 実施例回路図

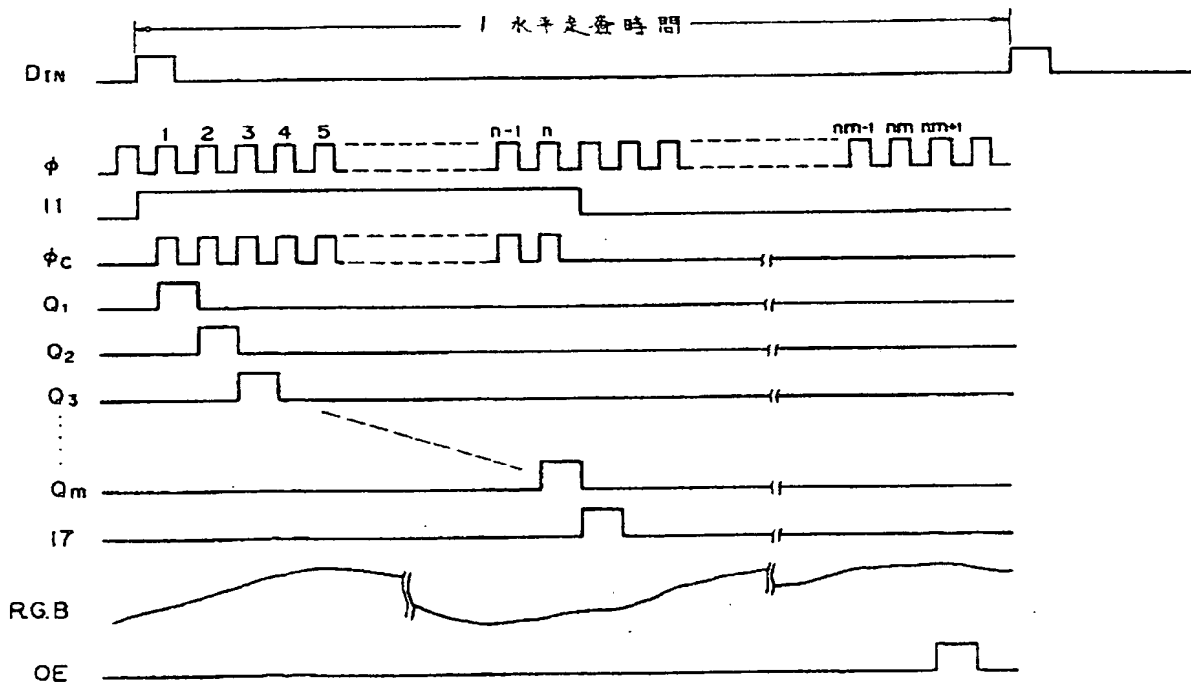
第 8 図





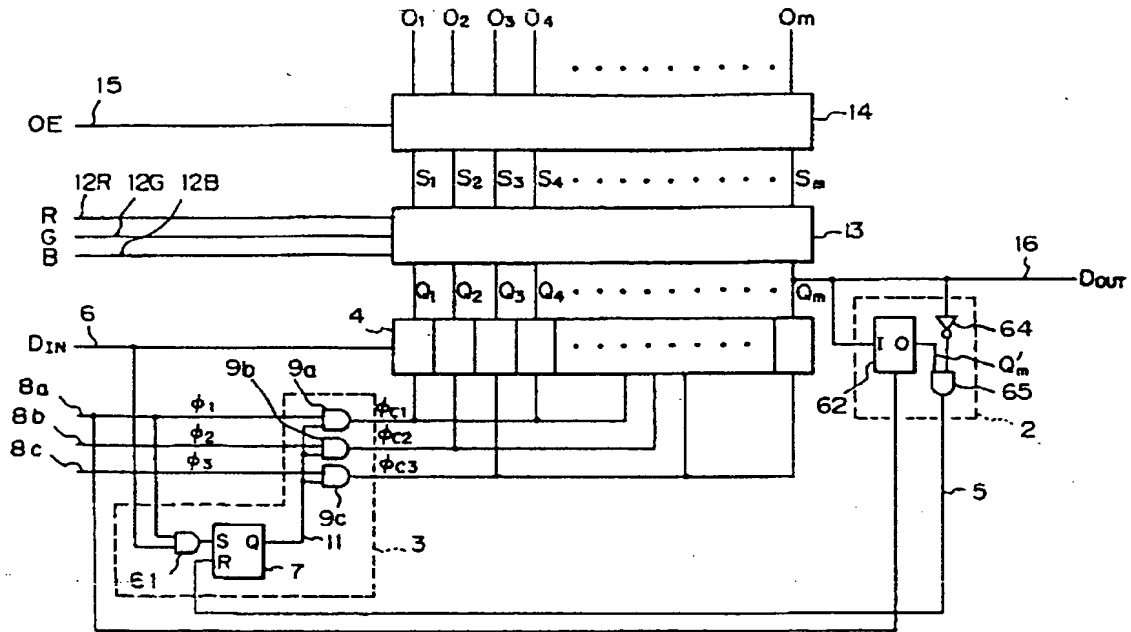
この発明の第1の実施例回路図

第4図



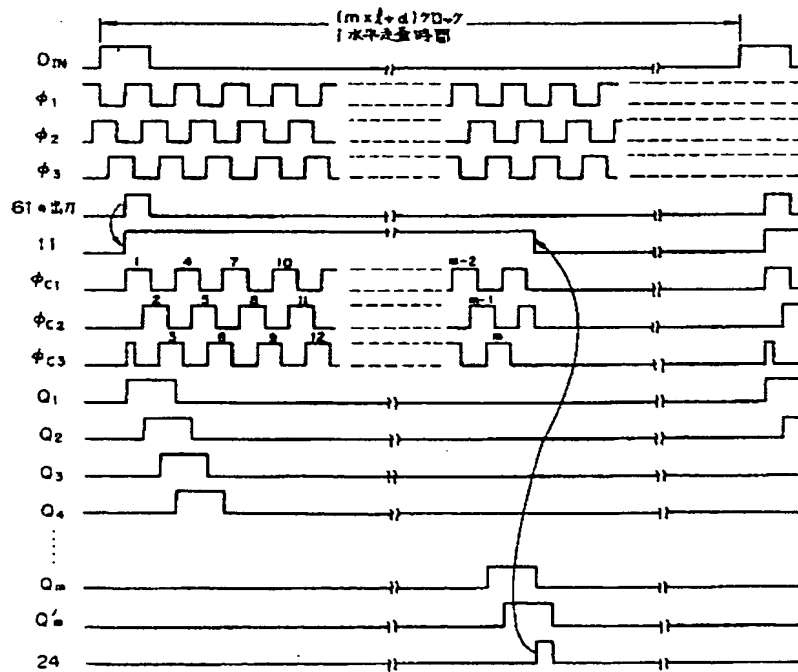
第4図の動作を説明するためのタイミング図

第5図



この発明の第2の実施例 回路図

第6図



第6図の動作を説明するタイミング図

第7図

## 手続補正書(自発)

昭和 年 62.12. 8 月 日

特許庁長官 殿

## 1. 事件の表示

昭和62年 特 許 願第104466号

## 2. 発明の名称

表示駆動回路

## 3. 補正をする者

事件との関係

特 許 出 願 人

住 所(〒105) 東京都港区虎ノ門1丁目7番12号

名 称(029) 沖電気工業株式会社

代表者 取締役社長 橋本 南海男

## 4. 代理人

住 所(〒105) 東京都港区虎ノ門1丁目7番12号

沖電気工業株式会社内

氏 名(6892) 弁護士 鈴木 敏明

電話 501-3111(大代表)

## 5. 補正の対象 明細書中「特許請求の範囲」の欄、「発明の詳細な説明」の欄及び図面

## 6. 補正の内容

別紙の通り



## 特許請求の範囲

「(1) シフトレジスタと、サンプルホールド回路と、バッファ回路を有し、入力するアナログ電圧を前記シフトレジスタの出力により前記サンプルホールド回路で順次サンプリング及びホールドして前記バッファ回路でホールド電圧により表示体を駆動させる表示駆動回路において、

前記シフトレジスタは前記表示体の横の方向の駆動に必要とされるビット数よりも小さいビット数に分割されたものを縦続接続して構成するとともに、該分割されたシフトレジスタの少なくとも1つに該シフトレジスタのシフト動作が終了したことを検出する終了信号発生回路と、該終了信号発生回路からの終了信号により該シフトレジスタへのクロックパルスの供給を停止させるクロック制御回路とを有する表示駆動回路。

(2) 特許請求の範囲第1項において、前記クロック制御回路は前記分割されたシフトレジスタでシフトされるべき信号が入力するのを検知して該シフトレジスタへのクロックパルスの供給を開始

## 6. 補正の内容

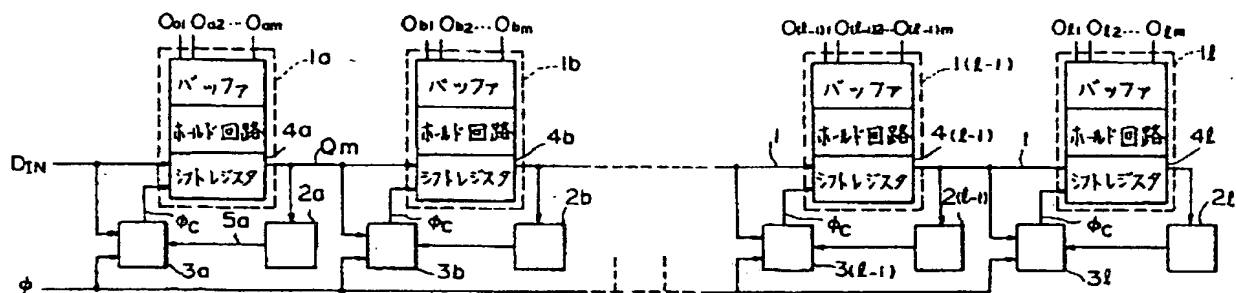
- (1) 明細書「特許請求の範囲」を別紙の通り補正する。
- (2) 同書第4頁第9行目に「35, 36, 37は、」とあるのを「35R, 35G, 35Bは、」と補正する。
- (3) 図面「第1図」「第2図」を別紙の通り補正する。

する様構成した表示駆動回路。

(3) 特許請求の範囲第1項において、前記終了信号発生回路及びクロック制御回路は前記分割されたシフトレジスタの全てに設けられている表示駆動回路。

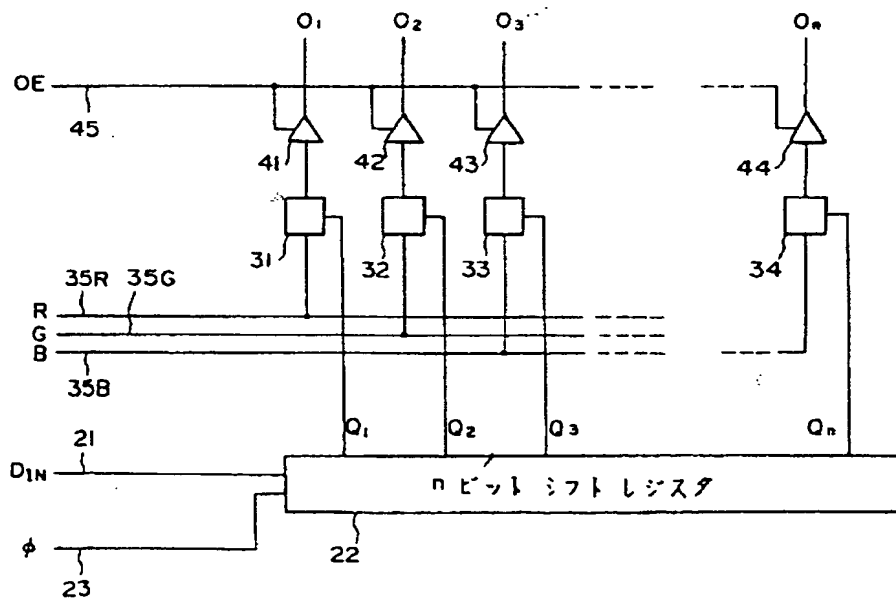
(4) 特許請求の範囲第1項において、前記分割されたシフトレジスタに供給されるクロックパルスは3相以上である制御回路。」

- $\phi$  : クロックパルス  
 $\phi_c$  : クロック制御回路の出力信号  
 $D_{IN}$  : シリアルデータ  
 $O$  : 出力  
 1 : 駆動回路部  
 2 : 終了信号発生回路  
 3 : クロック制御回路  
 4 : シフトレジスタ  
 5 : 終了信号



この発明の概念図

第 1 図



従来、液晶駆動回路

第 2 図